

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO

(c) 1998 JPO & JAPIO. All rts. reserv.

02620671

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: **63-237571** [JP 63237571 A]

PUBLISHED: October 04, 1988 (19881004)

INVENTOR(s): TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation) , JP (Japan)

APPL. NO.: 62-072368 [JP 8772368]

FILED: March 26, 1987 (19870326)

INTL CLASS: [4] H01L-029/78; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 710, Vol. 13, No. 44, Pg. 30, January 31, 1989 (19890131)

#### ABSTRACT

PURPOSE: To reduce a threshold voltage  $V_{th}$  with a sharp rise by channel-doping it before a gate electrode is formed to form a light P-type polycrystalline silicon.

CONSTITUTION: After an island 1-2 of an undoped polycrystalline silicon thin film is formed on an insulating transparent substrate 1-1, boron of P-type impurity is channel-implanted to the polycrystalline silicon to form a light P-type polycrystalline silicon. Then, after a gate oxide film 1-4, a gate electrode 105 are formed, it is conducted in a hydrogen plasma processing step, a hydrogen ion implanting step or a plasma nitride film forming step. Thus, a CMOS polycrystalline silicon thin film transistor having excellent characteristics in which the rise of a subthreshold region becomes sharp, the absolute value of  $V_{th}$  is reduced, the magnitudes of the absolute values of  $V_{th}$  of N-channel and P-channel coincide can be performed.

⑨ 日本国特許庁(JP) ⑩ 特許出願公開  
⑪ 公開特許公報(A) 昭63-237571

⑫ Int.Cl.<sup>4</sup> 識別記号 庁内整理番号 ⑬ 公開 昭和63年(1988)10月4日  
H 01 L 29/78 311 Y-8422-5F  
27/12 7514-5F 審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 昭62-72368

⑯ 出 願 昭62(1987)3月26日

⑰ 発 明 者 竹 中 敏 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式  
会社内

⑱ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑲ 代 理 人 弁理士 最 上 務 外1名

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁性透明基板上に、Nチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおいて、ゲート電極形成前に、ボロンをチャネルドーピングする工程とゲート電極形成後に水系プラズマ処理工程あるいは水系イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、透明性絶縁基板上に形成されるアクティブマトリクスあるいはイメージセンサーの画

素のスイッチング素子あるいは駆動用回路に用いられるCMOS(Complementary Metal-Oxide-Semiconductor)型多結晶シリコン薄膜トランジスタにおいて、低駆動電圧で大電流が得られ、さらに両チャネルトランジスタのスレッシホールド電圧の絶対値が一致するCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法に関する。

(従来の技術)

多結晶シリコンにおいては、結晶粒界に存在するダングリングボンドなどの欠陥が、キャリアに対するトラップ単位あるいは障壁として働くこと一般的に考えられており(たとえば、John Y. W. Seto, J. Appl. Phys., 40, 5247(1975)など)従って多結晶シリコン薄膜トランジスタの性能を向上させるためには、前記欠陥を低減させる必要がある。(たとえば、J. Appl. Phys., 53(2), 1193(1982)など)その目的で、水系による前記欠陥の終端化が行なわれており、その中

でも代表的な方法が、水素プラズマ処理（たとえば、応用物理学会、1986年秋季大会予稿集、講演番号27P-Q-5、水素プラズマに関して、電子材料1981年1月号p124参照）あるいはプラズマ窒化膜の形成（電子通信学会技術研究報告SSD83-75、23ページ）である。これらの方法を用いるとスレッショールド電圧（以下 $V_{th}$ と記す。）の絶対値が小さくなりサブスレッショールド領域の立ち上がりが急しゅんになる。

（発明が解決しようとする課題点）

しかし、前述の従来技術では、 $V_{th}$ のシフトという課題が無視できなくなる。つまりNチャネルトランジスタがデプレッション方向にシフトしてOFFリーク電流が上昇し、Pチャネルトランジスタがエンハンスメント方向にシフトするという課題点を有するのである。（電子通信学会技術研究報告SSD83-75、23ページ参照）この原因としてはプラズマにさらされる事により、ゲート酸化膜中に正の固定電荷が形成され、チャ

ネル部が常に負に誘起されているとみなされ、従って、多結晶シリコン薄膜をあらかじめP型にしておけば、水素プラズマ処理による前述のようなトランジスタ特性のシフトの問題を解決できる。

本発明は、このような水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程に共なるトランジスタ特性の異常シフトの問題を解決し、 $V_{th}$ の絶対値が小さくてサブスレッショールド領域の立ち上がりが急しゅんでさらにPチャネル及びNチャネル共にその $V_{th}$ の絶対値がほぼ等しいCMOS型多結晶シリコン薄膜トランジスタを提供することを目的としている。

（課題点を解決するための手段）

本発明のCMOS型多結晶シリコン薄膜トランジスタ及びその製造方法は、絶縁性透明基板上にNチャネル多結晶シリコン薄膜トランジスタとPチャネル多結晶シリコン薄膜トランジスタとを有するCMOS型多結晶シリコン薄膜トランジスタにおい

て、ゲート電極形成前に、ボロンをチャネルドーピングする工程と、ゲート電極形成後に水素プラズマ処理工程あるいは水素イオン打込み工程あるいはプラズマ窒化膜形成工程とを有することを特徴とする。

（実施例）

第1図により、本発明の実施例を工程図に従って説明する。同図(a)において、絶縁性透明基板1-1上に無添加多結晶シリコン薄膜の島1-2を形成する。前記無添加多結晶シリコンは、減圧CVDなどで堆積せられる。さらに島1-2はフォトリソで形成される。次にウェハ全面にわたってイオン打込み法によって、多結晶シリコンに対してP型不純物であるボロンをチャネル打込みしてライトP型多結晶シリコンにする。1-3はボロンビームを示す。ただし、 $V_{th}$ のシフト量が1ボルト程度で、低抗率が低下しないくらいの打込み量に設定する必要がある、およそ $10^{11}$  cm $^{-2}$ から $10^{12}$  cm $^{-2}$ 程度が適当である。続いて同図(b)で示すように熱酸化

によりゲート酸化膜1-4を形成する。ゲート酸化膜形成後にチャネルドーピングする方法もあるが、この場合ゲート酸化膜へのイオン打込みによるダメージが考えられ（たとえば応用物理、第54巻、第12号、1208ページ、1985年参照）素子のプラズマに対する耐性が劣化することが予想される。従って、本実施例のようにゲート酸化膜形成前にチャネルドーピングするほうが良いものと考えられる。同図(c)、(d)はCMOS構造を製造する一般的な工程である。1-5はゲート電極であり、該ゲート電極をマスクとし、ボロン及びリンを選択的にイオン打込みし、ソース及びドレイン部を形成する。(d)に示すようにPチャネル多結晶シリコン薄膜トランジスタ1-8及びNチャネル多結晶シリコン薄膜トランジスタ1-9を形成する。1-6はボロン打込み領域、1-7はリン打込み領域を示す。水素イオン打込み方の場合はこの状態で済む。次に局間絶縁膜を形成する。該局間絶縁膜としてプラズマ窒化膜Si $_3$ N $_4$ を用いると多結晶シリコン

の水素化が閥開絶縁膜形成と同時に達成される。図面(c)に示すように閥開絶縁膜1-10にCVD SiO<sub>2</sub>などを用いた場合は、続いて水素プラズマ処理を行なう。1-11は水素プラズマにより発生した反応性の高い水素ラジカルを示している。水素プラズマは、平行平板型の一般的なプラズマ装置と異なり、ガスを用いることにより簡単に得ることができる。一方、水素プラズマ処理工程は、コンタクト電極を形成した後に行なっても、何ら問題はない。

#### (発明の効果)

以上述べたように本発明によれば、従来の水素プラズマ処理でNチャネル多結晶シリコン薄膜トランジスタがデプレッション方向にシフトし、そしてPチャネル多結晶シリコン薄膜トランジスタがエンハンスメント方法にそれぞれシフトするという異常シフトの問題を、チャネル部の多結晶シリコンにボロンを低濃度(10<sup>17</sup> cm<sup>-3</sup>から10<sup>18</sup> cm<sup>-3</sup>程度)にチャネルドーピングしてライトP型多結晶シリコンにしたことにより防

止することができる。従って、水素プラズマ処理による多結晶シリコンの欠陥の低減という長所を最大限に利用することが可能となった。つまり、サブスレッショルド領域の立ち上がりが急激なものとなり、V<sub>th</sub>の絶対値が低減され、しかもNチャネル、Pチャネル共にそのV<sub>th</sub>の絶対値の大きさが一致するというすぐれた特性を持つCMOS型多結晶シリコン薄膜トランジスタの実現が可能となる。第2図にNチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を示す。この図は発明者が実験して得たデータである。横軸はゲートとソース間電圧V<sub>gs</sub>であり、たて軸はドレイン電流I<sub>d</sub>の対数である。測定はドレインとソース間電圧V<sub>ds</sub>を5Vで行なった。破線2-1の曲線が従来方法による結果であり、実線2-2の曲線がボロンのチャネルドーピングを行なった本発明の実施例による結果である。ただし、チャネルドーピングはゲート酸化膜形成後に行ない、打込み量はボロン5×10<sup>17</sup> cm<sup>-3</sup>である。これらの結果からわかるように、従来方

法ではNチャネル多結晶シリコン薄膜トランジスタがデプレッション方向に異常にシフトするのに対し、本発明の結果は、まったくシフトしておらず本発明の効果は非常に大きいものである。

例えばアクティブマトリクス基板に本発明を用いるとODD電流が小さいので高コントラストなアクティブマトリクス基板が実現できる。また、CMOS構造である為、シフトレジスタ回路(S/R)と光電変換素子を同一基板に作り込んだイメージセンサーにも応用することができ、前記イメージセンサーの高速読み取りや大型化、あるいはカラー化などに対して大きな効果が期待される。低消費電力化にもなるのでローコスト化にも役に立つ。また低電圧化も可能となるので、素子の信頼性向上にもつながる。

以上述べたように、本発明によれば、立ち上がりが急激でV<sub>th</sub>が小さくてOFFドリーク電流が小さくてさらにNチャネルとPチャネルのV<sub>th</sub>の絶対値がほぼ一致したすぐれたCMOS型多結晶シリコン薄膜トランジスタを実現すること

を可能にするので、イメージセンサーなどのデバイスの高速度動作低消費電力化及び高信頼化などの要求項目に対し非常に大きな効果をもたらすものである。

#### 4. 図面の簡単な説明

第1図(a)から(c)は、本発明におけるCMOS型多結晶シリコン薄膜トランジスタの工程図である。

第2図は、Nチャネル多結晶シリコン薄膜トランジスタに対する本発明の効果を従来例と比較するために示したトランジスタ特性図である。

1-2: 多結晶シリコン

1-3: ボロンビーム

1-5: ゲート電極

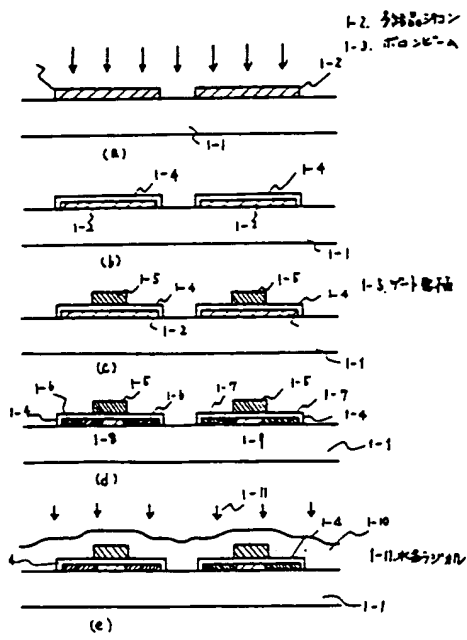
1-11: 水素ラジカル

2-1: 従来例によるトランジスタカーブ

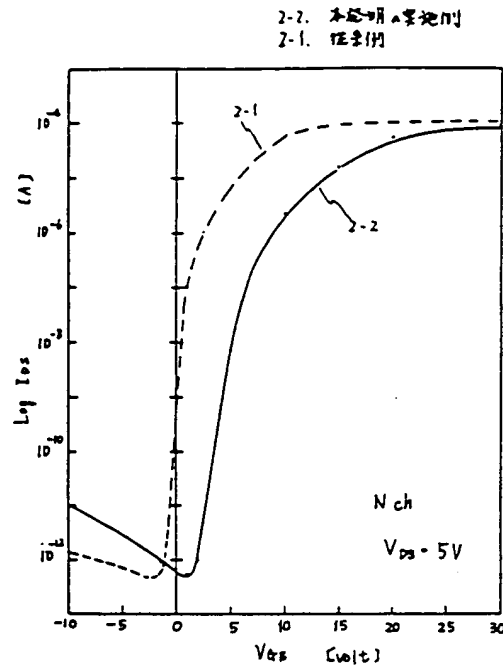
2-2: 本発明実施例によるトランジスタカーブ

ブ

以上



第 1 図



第 2 図